

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Yasutaka NAKASHIBA

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed March 30, 2004

Examiner

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 30, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u> |
|----------------|------------------------|----------------|
| JAPAN | 2003-106118 | April 10, 2003 |

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
703) 979-4709

BC/ia

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 6 1 1 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 0 6 1 1 8]

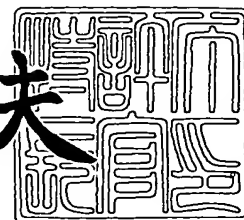
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):



2 0 0 4 年 2 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 74120012

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03H 5/12

【発明の名称】 半導体集積回路装置

【請求項の数】 3

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 中柴 康隆

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216549

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 同一基板上に MOS 型トランジスタ及び MOS 型バラクタ素子が形成された半導体集積回路装置において、前記 MOS 型バラクタ素子のゲート絶縁膜が、前記 MOS 型トランジスタのゲート絶縁膜のうち最も薄いゲート絶縁膜よりも薄いことを特徴とする半導体集積回路装置。

【請求項 2】 前記 MOS 型バラクタ素子に印加されるゲート電圧の最大値が、前記 MOS 型トランジスタに印加されるゲート電圧の最大値よりも低いことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記 MOS 型トランジスタ及び前記 MOS 型バラクタ素子が同一の半導体基板の表面に形成されており、前記 MOS 型トランジスタのゲート絶縁膜及び前記 MOS 型バラクタ素子のゲート絶縁膜が前記半導体基板上に形成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は MOS 型バラクタ素子を備えた半導体集積回路装置に関する。

【0002】

【従来の技術】

従来より、半導体集積回路装置において、電圧制御可変容量素子として MOS (Metal Oxide Semiconductor：金属酸化物半導体) 型バラクタ素子が使用されている。MOS 型バラクタ素子は、例えば、LC-VCO (Voltage Controlled Oscillator：電圧制御発振器) の発振周波数の制御に使用されている。

【0003】

図 4 (a) 乃至 (c) は、従来の MOS 型バラクタ素子を備えた半導体集積回路装置を示す断面図であり、(a) は MOS 型の N チャネルトランジスタを示し、(b) は MOS 型の P チャネルトランジスタを示し、(c) は MOS 型バラクタ素子を示す。図 4 (a) 乃至 (c) に示す各素子は、同一の半導体集積回路装

置中に設けられたものであり、従って、同一の半導体基板に形成されている。図 4 (a) 乃至 (c) に示すように、この半導体集積回路装置においては、例えば P 型シリコンからなる P 型基板 P S u b が設けられている。そして、この P 型基板 P S u b の表面に、M O S 型の N チャネルトランジスタ 1、M O S 型の P チャネルトランジスタ 2 及び M O S 型のバラクタ素子 2 3 が設けられている。

【0004】

図 4 (a) に示すように、N チャネルトランジスタ 1 においては、P 型基板 P S u b の表面に P ウエル P W 1 が形成されている。この P ウエル P W 1 には、P 型不純物として例えば B (ボロン) が注入されている。また、この P ウエル P W 1 上にはゲート絶縁膜 4 が形成されている。ゲート絶縁膜 4 は例えばシリコン酸化膜により形成されており、その膜厚は例えば 8.0 nm である。そして、ゲート絶縁膜 4 上には、例えばポリシリコンがパターンニングされて形成されたゲート電極 5 が設けられている。また、P 型基板 P S u b の表面に垂直な方向から見て、P ウエル P W 1 の表面におけるゲート電極 5 を挟む 2 ヶ所の領域には、夫々 n⁺ 拡散領域 N 1 及び N 2 が形成されている。

【0005】

更に、P ウエル P W 1 の表面におけるゲート電極 5 の直下域並びに n⁺ 拡散領域 N 1 及び N 2 から離隔した領域には、p⁺ 拡散領域 P 1 が形成されている。更にまた、P 型基板 P S u b の表面における P ウエル P W 1 が形成されていない領域の一部には、p⁺ 拡散領域 P 2 が形成されている。p⁺ 拡散領域 P 1 及び P 2 においては、P 型不純物として例えば B (ボロン) が注入されている。そして、n⁺ 拡散領域 N 1 はソース端子 V s 1 に接続され、n⁺ 拡散領域 N 2 はドレイン端子 V d 1 に接続され、ゲート電極 5 はゲート端子 V g 1 に接続され、p⁺ 拡散領域 P 1 及び P 2 は接地電位配線 G N D に接続されている。

【0006】

また、図 4 (b) に示すように、P チャネルトランジスタ 2 においては、P 型基板 P S u b の表面に N ウエル N W 1 が形成されている。この N ウエル N W 1 には、N 型不純物として例えば P (リン) が注入されている。また、この N ウエル N W 1 上にはゲート絶縁膜 4 が形成されている。このゲート絶縁膜 4 は N チャネ

ルトランジスタ 1 のゲート絶縁膜 4 と同時に形成されたものであり、従って、例えばシリコン酸化膜により形成されており、その膜厚は例えば 8.0 nm である。そして、ゲート絶縁膜 4 上には、例えばポリシリコンからなるゲート電極 5 が形成されている。このゲート電極 5 は、図 4 (a) に示す N チャンネルトランジスタ 1 のゲート電極 5 と同時に形成されたものである。また、P 型基板 P S u b の表面に垂直な方向から見て、N ウエル NW 1 の表面におけるゲート電極 5 を挟む 2 ヶ所の領域には、夫々 p⁺ 拡散領域 P 3 及び P 4 が形成されている。この p⁺ 拡散領域 P 3 及び P 4 においては、P 型不純物として例えば B (ボロン) が注入されている。

【0007】

更に、N ウエル NW 1 の表面におけるゲート電極 5 の直下域並びに p⁺ 拡散領域 P 3 及び P 4 から離隔した領域には、n⁺ 拡散領域 N 3 が形成されている。更にまた、P 型基板 P S u b の表面における N ウエル NW 1 が形成されていない領域の一部には、p⁺ 拡散領域 P 5 が形成されている。そして、p⁺ 拡散領域 P 3 はソース端子 V s 2 に接続され、p⁺ 拡散領域 P 4 はドレイン端子 V d 2 に接続され、ゲート電極 5 はゲート端子 V g 2 に接続され、n⁺ 拡散領域 N 3 は電源電位配線 V D D に接続され、p⁺ 拡散領域 P 5 は接地電位配線 G N D に接続されている。なお、P チャンネルトランジスタ 2 は N チャンネルトランジスタ 1 と共に C M O S トランジスタを形成していてもよい。

【0008】

更に、図 4 (c) に示すように、バラクタ素子 2 3 においては、P 型基板 P S u b の表面に N ウエル NW 2 が形成されている。この N ウエル NW 2 は、図 4 (b) に示す P チャンネルトランジスタ 2 の N ウエル NW 1 と同時に形成されたものであり、不純物の種類及び濃度は N ウエル NW 1 と同様である。そして、この N ウエル NW 2 上にはゲート絶縁膜 4 が形成されている。このゲート絶縁膜 4 は N チャンネルトランジスタ 1 及び P チャンネルトランジスタ 2 のゲート絶縁膜 4 と同時に形成されたものであり、従って、例えばシリコン酸化膜により形成されており、その膜厚は例えば 8.0 nm である。そして、ゲート絶縁膜 4 上には、例えばポリシリコンからなるゲート電極 5 が形成されている。このゲート電極 5 は、図

4 (a) に示す N チャンネルトランジスタ 1 のゲート電極 5、及び図 4 (b) に示す P チャンネルトランジスタ 2 のゲート電極 5 と同時に形成されたものである。また、P 型基板 P S u b の表面に垂直な方向から見て、N ウエル N W 2 の表面におけるゲート電極 5 を挟む 2 ヶ所の領域には、夫々 n^+ 拡散領域 N 4 及び N 5 が形成されている。この n^+ 拡散領域 N 4 及び N 5 は、N チャンネルトランジスタ 1 の n^+ 拡散領域 N 1 及び N 2 並びに P チャンネルトランジスタ 2 の n^+ 拡散領域 N 3 と同時に形成されたものである。

【0009】

更に、P 型基板 P S u b の表面における N ウエル N W 2 が形成されていない領域の一部には、 p^+ 拡散領域 P 6 が形成されている。この p^+ 拡散領域 P 6 は、N チャンネルトランジスタ 1 の p^+ 拡散領域 P 1 及び P 2 並びに P チャンネルトランジスタ 2 の p^+ 拡散領域 P 3 及び P 4 と同時に形成されたものである。そして、 n^+ 拡散領域 N 4 及び N 5 はウエル端子 V b に接続され、ゲート電極 5 はゲート端子 V g 3 に接続され、 p^+ 拡散領域 P 6 は接地電位配線 G N D に接続されている。なお、図 4 (a) 乃至 (c) においては、ゲート電極 5 の直下域にのみゲート絶縁膜 4 が示されているが、ゲート絶縁膜 4 は、P 型基板 P S u b 上における各拡散領域の直上域を除く全領域に形成されていることもある。

【0010】

この従来の半導体集積回路装置においては、 p^+ 拡散領域 P 2、P 5 及び P 6 に夫々接地電位配線 G N D を介して接地電位を印加することにより、P 型基板 P S u b の電位を接地電位とする。また、P チャンネルトランジスタ 2 の n^+ 拡散領域 N 3 に電源電位配線 V D D を介して電源電位を印加することにより、N ウエル N W 1 の電位を電源電位とする。そして、N チャンネルトランジスタ 1 のソース端子 V s 1、ドレイン端子 V d 1 及びゲート端子 V g 1 に夫々所定の電位を印加することにより、N チャンネルトランジスタ 1 が駆動する。同様に、P チャンネルトランジスタ 2 のソース端子 V s 2、ドレイン端子 V d 2 及びゲート端子 V g 2 に夫々所定の電位を印加することにより、P チャンネルトランジスタ 2 が駆動する。

【0011】

また、バラクタ素子 23 において、ゲート端子 V g とウエル端子 V b との間に

印加する電圧（以下、ゲート電圧という）を変化させることにより、ゲート電極 5 と N ウエル NW 2 との間の容量を変化させることができる。即ち、ゲート端子 V_g に正電位を印加し、ウエル端子 V_b に負電位を印加して、両端子間の電圧を十分に大きくすると、バラクタ素子はアキュムレーション状態となって、バラクタ素子の容量値はほぼゲート絶縁膜 4 の容量値となり、最大値となる。一方、ゲート端子 V_g の電位を負に変化させていくと、N ウエル NW 2 におけるゲート電極 5 の直下域に空乏層が形成され、この空乏層が広がることにより、バラクタ素子の容量が減少していく。そして、ゲート端子 V_g の電位を十分に低くすると、空乏層の拡がり飽和する。これにより、容量もそれ以上減少しなくなり、最小値に達する。なお、ゲート端子 V_g とウエル端子 V_b との間に印加する電圧の最大値は、N チャネルトランジスタ 1 及び P チャネルトランジスタ 2 の駆動電圧と等しく、例えば 3.3 V である。

【0012】

上述の如く、この半導体集積回路装置においては、バラクタ素子 23 を N チャネルトランジスタ 1 及び P チャネルトランジスタ 2 を形成する工程において同時に形成することができる。このため、バラクタ素子 23 を設けることにより、半導体集積回路装置の製造プロセスを修正したり、新たなプロセスを追加したりする必要がないという利点がある。

【0013】

しかしながら、この従来の半導体集積回路装置には以下に示すような問題点がある。MOS 型バラクタ素子は MOSFET の製造プロセスにより MOSFET と同時に形成されるため、その特性、即ち、可変容量範囲及び単位面積当たりの容量の最大値等は MOSFET の形成条件により決定されてしまう。しかし、MOS 型バラクタ素子の特性は、その使用用途により最適に調整されていることが好ましい。例えば、MOS 型バラクタ素子を電圧制御可変容量素子として使用する場合には、その可変容量範囲は可及的に広い方が好ましく、また、単位面積当たりの容量値は可及的に大きい方が好ましい。

【0014】

従来、半導体集積回路装置において、電圧降下手段及び複数のバラクタ素子を

設け、電圧降下手段により複数種類の電圧を発生させ、この複数種類の電圧をバラクタ素子に印加することにより、容量値の変化率を任意に設定可能にする技術が開示されている（例えば、特許文献1参照。）。

【0015】

また、MOS型バラクタ素子23の特性を変化させる方法として、例えばNウエルNW2の不純物濃度を変化させる方法が考えられる。図5は横軸にゲート端子とウエル端子との間の電圧（ゲート電圧）をとり、縦軸にゲート端子とウエル端子との間の容量をとって、NウエルNW2（図4参照）の不純物濃度を変化させたときのMOS型バラクタ素子の高周波C-V特性を示すグラフ図である。図5に示す実線21はNウエルの不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ である場合のC-Vカーブを示し、容量の最大値を C_{max} 、最小値を C_{min} とすると、比 $(C_{\text{max}}/C_{\text{min}})$ は5.0である。また、破線22はNウエルの不純物濃度が $8 \times 10^{17} \text{ cm}^{-3}$ である場合のC-Vカーブを示し、比 $(C_{\text{max}}/C_{\text{min}})$ は5.5である。図5に示すように、不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ から $8 \times 10^{17} \text{ cm}^{-3}$ に低減すると、容量の最小値が小さくなり、容量可変範囲が約1.1倍に広がる。

【0016】

【特許文献1】

特開2002-43842号公報

【0017】

【発明が解決しようとする課題】

しかしながら、前述の従来技術には、以下に示すような問題点がある。特許文献1に記載された技術においては、容量値の変化率は制御することができるものの、容量可変範囲を広げることとはできず、また、単位面積当たりの容量値を増大させることもできない。

【0018】

また、図5に示すように、容量可変範囲を広げるために不純物濃度を低くすると、最大容量値が大きくなるのではなく、最小容量値が小さくなるため、可変容量範囲は広くなるものの、単位面積当たりの容量値を増加させることはできない。

。このため、所望の容量値を得るための容量素子の面積が大きいものとなり、場合によっては、新たにバラクタ素子専用のウェルを形成する必要が生じ、レイアウト面積が大きくなってしまう。

【0019】

本発明はかかる問題点に鑑みてなされたものであって、可変容量範囲が広く、単位面積当たりの容量値が大きいMOS型バラクタ素子を備えた半導体集積回路装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明に係る半導体集積回路装置は、同一基板上にMOS型トランジスタ及びMOS型バラクタ素子が形成された半導体集積回路装置において、前記MOS型バラクタ素子のゲート絶縁膜が、前記MOS型トランジスタのゲート絶縁膜のうち最も薄いゲート絶縁膜よりも薄いことを特徴とする。

【0021】

本発明においては、MOS型バラクタ素子のゲート絶縁膜をMOS型トランジスタのゲート絶縁膜よりも薄くすることにより、MOS型バラクタ素子の容量の最大値を大きくすることができる。これにより、単位面積あたりの容量値を増加させることができると共に、このMOS型バラクタ素子の容量可変範囲を広くすることができる。

【0022】

また、前記MOS型バラクタ素子に印加されるゲート電圧の最大値が、前記MOS型トランジスタに印加されるゲート電圧の最大値よりも低いことが好ましい。これにより、MOS型トランジスタの特性を確保したまま、MOS型バラクタ素子のゲート絶縁膜が印加される電圧により破壊されることを防止できる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。図1（a）乃至（c）は、本実施形態に係る半導体集積回路装置を示す断面図であり、（a）はMOS型のNチ

チャネルトランジスタを示し、(b)はMOS型のPチャネルトランジスタを示し、(c)はMOS型バラクタ素子を示す。なお、本実施形態の構成要素のうち、図4(a)乃至(c)に示す従来の半導体集積回路装置の構成要素と等価な要素には同じ符号を付し、詳細な説明を省略する。図1(a)乃至(c)に示す各素子は、同一の半導体集積回路装置中に設けられたものであり、従って、同一の半導体基板に形成されている。

【0024】

図1(a)乃至(c)に示すように、この半導体集積回路装置においては、例えばP型シリコンからなるP型基板PSubが設けられている。そして、このP型基板PSubの表面に、MOS型のNチャネルトランジスタ1、MOS型のPチャネルトランジスタ2及びMOS型のバラクタ素子3が設けられている。図1(a)及び(b)に示すNチャネルトランジスタ1及びPチャネルトランジスタ2の構成は、図4(a)及び(b)に示す従来の半導体集積回路装置におけるNチャネルトランジスタ1及びPチャネルトランジスタ2の構成と同じである。

【0025】

図1(c)に示すように、バラクタ素子3において、P型基板PSub、NウエルNW2、 n^+ 拡散領域N4及びN5、並びに p^+ 拡散領域P6の構成は、前述の図4(c)に示す従来の半導体集積回路装置のバラクタ素子23と同様である。即ち、 n^+ 拡散領域N4及びN5は、Nチャネルトランジスタ1の n^+ 拡散領域N1及びN2並びにPチャネルトランジスタ2の n^+ 拡散領域N3と同時に形成されたものである。また、 p^+ 拡散領域P6は、Nチャネルトランジスタ1の p^+ 拡散領域P1及びP2並びにPチャネルトランジスタ2の p^+ 拡散領域P3乃至P5と同時に形成されたものである。

【0026】

バラクタ素子3においては、NウエルNW2上にはゲート絶縁膜14が形成されている。そして、このゲート絶縁膜14は、図1(a)及び(b)に示すNチャネルトランジスタ1及びPチャネルトランジスタ2のゲート絶縁膜4と同層で形成されており、ゲート絶縁膜14の膜厚はゲート絶縁膜4の膜厚よりも薄くなっている。ゲート絶縁膜14は例えばシリコン酸化膜により形成されており、そ

の膜厚は例えば 6.0 nm である。なお、Nチャネルトランジスタ 1 及び Pチャネルトランジスタ 2 のゲート絶縁膜 4 の膜厚は、例えば 8.0 nm である。ゲート絶縁膜 14 上には、例えばポリシリコンからなるゲート電極 5 が形成されている。このゲート電極 5 は、図 1 (a) に示す Nチャネルトランジスタ 1 のゲート電極 5、及び図 1 (b) に示す Pチャネルトランジスタ 2 のゲート電極 5 と同時に形成されたものである。そして、 n^+ 拡散領域 N4 及び N5 はウエル端子 Vb に接続され、ゲート電極 5 はゲート端子 Vg3 に接続され、 p^+ 拡散領域 P6 は接地電位配線 GND に接続されている。なお、図 1 (a) 乃至 (c) においては、ゲート電極 5 の直下域にのみゲート絶縁膜 4 又は 14 が示されているが、ゲート絶縁膜 4 及び 14 は P型基板 PSub 上における各拡散領域の直上域を除く全領域に形成されていてもよい。

【0027】

なお、本実施形態に係る半導体集積回路装置において、ゲート絶縁膜 4 とゲート絶縁膜 14 とは、マルチオキシドの形成方法により作り分けることができる。例えば、P型基板 PSub 上に厚さが 3.0 nm のシリコン酸化膜を形成した後、これをパターニングして、ゲート絶縁膜 4 を形成する予定の領域のみにこのシリコン酸化膜を残留させる。次に、厚さが 6.0 nm のシリコン酸化膜を形成し、これをパターニングして、ゲート絶縁膜 4 及び 14 を形成する予定の領域のみにこのシリコン酸化膜を残留させる。これにより、ゲート絶縁膜 14 として厚さが 6.0 nm のシリコン酸化膜が形成されると共に、前の工程において形成した厚さが 3.0 nm のシリコン酸化膜が更に成長して、ゲート絶縁膜 4 として厚さが 8.0 nm のシリコン酸化膜が形成される。

【0028】

次に、本実施形態に係る半導体集積回路装置の動作について説明する。本実施形態における Nチャネルトランジスタ 1 及び Pチャネルトランジスタ 2 の動作は、前述の図 4 (a) 乃至 (c) に示す従来の半導体集積回路装置と同様である。

【0029】

図 2 は横軸にゲート端子とウエル端子との間の電圧をとり、縦軸にゲート端子とウエル端子との間の容量をとって、MOS 型バラクタ素子の高周波 C-V 特性

を示すグラフ図である。図2に示す破線20は、本実施形態のMOS型バラクタ素子のC-V特性を示し、実線21は、図5の実線21に示す従来の半導体集積回路装置のバラクタ素子のC-V特性を示す。

【0030】

図1(c)及び図2に示すように、バラクタ素子3において、ゲート端子V_{g3}とウエル端子V_bとの間に印加する電圧（ゲート電圧）を変化させることにより、ゲート電極5とNウエルNW2との間の容量を変化させることができる。即ち、ゲート端子V_{g3}に正電位を印加し、ウエル端子V_bに負電位を印加して、両端子間の電圧を十分に大きくすると、バラクタ素子はアキュムレーション状態となって、バラクタ素子の容量値はほぼゲート絶縁膜14の容量値となり、最大値となる。このとき、MOS型バラクタ素子3のゲート絶縁膜14は、従来のMOS型バラクタ素子23のゲート絶縁膜4よりも薄いため、MOS型バラクタ素子3の最大容量値は、MOS型バラクタ素子23の最大容量値よりも大きくなる。

【0031】

この状態から、ゲート端子V_{g3}の電位を負に変化させていくと、NウエルNW2におけるゲート電極5の直下域に空乏層が形成され、この空乏層が広がることにより、バラクタ素子の容量が減少していく。そして、ゲート端子V_{g3}の電位を十分に低くすると、空乏層の拡がりが飽和する。これにより、容量もそれ以上減少しなくなり、最小値に達する。このとき、最小容量値は空乏層の厚さによって決まるため、MOS型バラクタ素子3の最小容量値は、MOS型バラクタ素子23の最小容量値とほぼ等しくなる。

【0032】

なお、このとき、MOS型バラクタ素子3に印加するゲート電圧の最大値は、Nチャネルトランジスタ1及びPチャネルトランジスタ2に印加するゲート電圧よりも小さい値とする。例えば、Nチャネルトランジスタ1及びPチャネルトランジスタ2の各端子に印加する電位の範囲を0（＝GND）～3.3V（＝V_{DD}）とすると、MOS型バラクタ素子3のゲート端子V_{g3}及びウエル端子V_bに印加する電位の範囲は例えば0～2.5Vとする。

【0033】

本実施形態においては、MOS型バラクタ素子3のゲート絶縁膜14の膜厚がNチャネルトランジスタ1及びPチャネルトランジスタ2のゲート絶縁膜4の膜厚よりも薄いため、MOS型バラクタ素子3の容量の最大値を高くすることができる。これにより、図2に示すように、容量の最大値を C_{max} 、最小値を C_{min} とすると、MOS型バラクタ素子3においては、破線20に示すように、比 (C_{max}/C_{min}) は6.5となる。これは、実線20に示す従来の半導体集積回路装置のMOS型バラクタ素子における比 (C_{max}/C_{min}) の値(5.0)の1.3倍となる。このように、MOS型バラクタ素子3の容量の最大値を高くすることにより、単位面積当たりの容量値を増加させることができると共に、容量可変範囲を大きくすることができる。

【0034】

また、ゲート絶縁膜14の膜厚を薄くすると、その耐圧が低下するが、本実施形態においては、MOS型バラクタ素子3のゲート端子 V_g3 及びウエル端子 V_b に印加する電位を、Nチャネルトランジスタ1及びPチャネルトランジスタ2の各端子に印加する電位よりも低くすることにより、Nチャネルトランジスタ1及びPチャネルトランジスタ2の特性を維持したまま、ゲート絶縁膜14が破壊されることを防止することができる。

【0035】

Nチャネルトランジスタ1及びPチャネルトランジスタ2においては、オン／オフ制御を行うことが多く、この場合、ゲート電圧の範囲をしきい値電圧が安定する範囲に設定する必要がある。この範囲の幅は例えば3.3Vである。これに対して、MOS型バラクタ素子3においては、ゲート電圧範囲を、ゲート電圧に対して容量値が大きく変化する範囲とすればよいため、C-Vカーブの安定領域を必要以上に含む必要がない。このため、ゲート電圧範囲を、図2に示す電圧範囲25のように、従来の電圧範囲24よりも狭い範囲に設定しても、容量可変範囲が制限されることはない。

【0036】

即ち、従来のMOS型バラクタ素子23（図4（c）参照）においては、ゲー

ト端子 V_{g3} とウエル端子 V_b との間の電圧 V_{gb} ($=V_{g3}-V_b$) の取り得る値は、 $-3.3 \leq V_{gb} \leq 3.3$ (V) となり、その絶対値は $|V_{gb}| \leq 3.3$ (V) となるが、本実施形態の MOS 型バラクタ素子 3 においては、 $-2.5 \leq V_{gb} \leq 2.5$ (V) となり、 $|V_{gb}| \leq 2.5$ (V) となる。このため、ゲート絶縁膜 14 をゲート絶縁膜 4 よりも薄くしても、電圧により破壊されることはない。また、このとき、図 2 に示す従来の電圧範囲 24 の幅は 6.6 V となる。一方、本実施形態の電圧範囲 25 の幅は 5.0 V となり、従来の電圧範囲 24 よりも狭くなるが、図 2 に示すように、電圧範囲 25 は破線 20 により示される C-V カーブの変動範囲を十分にカバーしており、バラクタ素子 3 の容量可変範囲が制限されることはない。

【0037】

更に、本実施形態においては、バラクタ素子 3 におけるゲート絶縁膜 14 以外の部分を、N チャネルトランジスタ 1 及び P チャネルトランジスタ 2 を形成する工程において同時に形成することができる。また、前述の如く、ゲート絶縁膜 4 を形成する工程に、各 1 回の酸化工程及びパターンニング工程を追加すれば、ゲート絶縁膜 14 を形成することができる。このため、本実施形態に係る半導体集積回路装置は、従来の半導体集積回路装置の製造プロセスに大きな修正を加えることなく、製造することができる。

【0038】

なお、本実施形態においては、N チャネルトランジスタ 1 及び P チャネルトランジスタ 2 におけるゲート絶縁膜 4 の膜厚を 1 水準 (8.0 nm) としたが、本発明はこれに限定されず、各トランジスタに要求する特性に応じて、ゲート絶縁膜 4 の膜厚を相互に異ならせて、複数水準設定してもよい。この場合、ゲート絶縁膜 14 の膜厚は、ゲート絶縁膜 4 のうち最も薄い膜よりも薄くする。

【0039】

次に、本発明の第 2 の実施形態について説明する。図 3 は本実施形態に係る半導体集積回路装置の MOS 型バラクタ素子を示す断面図である。図 3 に示すように、本実施形態に係る半導体集積回路装置においては、N チャネルトランジスタ 1 (図 1 (a) 参照)、P チャネルトランジスタ 2 (図 1 (b) 参照) 及び MO

S型バラクタ素子13が設けられている。Nチャネルトランジスタ1及びPチャネルトランジスタ2の構成は、前述の第1の実施形態と同様である。また、MOS型バラクタ素子13においては、P型基板P S u bの表面にNウエルNW2が形成されている。また、このNウエルNW2上にはゲート絶縁膜14が形成されている。このゲート絶縁膜14は前述の第1の実施形態におけるゲート絶縁膜14と同じものであり、例えば膜厚が6.0 nmのシリコン酸化膜により形成されている。そして、ゲート絶縁膜14上には、ゲート電極5が形成されている。また、P型基板P S u bの表面に垂直な方向から見て、NウエルNW2の表面におけるゲート電極5を挟む2ヶ所の領域には、夫々p⁺拡散領域P7及びP8が形成されている。このp⁺拡散領域P7及びP8においては、P型不純物として例えばB（ボロン）が注入されている。

【0040】

更に、NウエルNW2の表面におけるゲート電極5の直下域並びにp⁺拡散領域P7及びP8から離隔した領域には、n⁺拡散領域N6が形成されている。更にまた、P型基板P S u bの表面におけるNウエルNW2が形成されていない領域の一部には、p⁺拡散領域P9が形成されている。そして、ゲート電極5はゲート端子Vg3に接続され、n⁺拡散領域N6はウエル端子Vbに接続され、p⁺拡散領域P7及びP8並びにP9は接地電位配線GNDに接続されている。

【0041】

次に、本実施形態に係る半導体集積回路装置の動作について説明する。図3に示すように、バラクタ素子13において、p⁺拡散領域P9に接地電位配線GNDを介して接地電位を印加することにより、P型基板P S u bの電位を接地電位とする。そして、ゲート端子Vg3に正電位を印加し、ウエル端子Vbに負電位を印加することにより、NウエルNW2とゲート電極5との間に容量が形成される。そして、ゲート端子Vg3とウエル端子Vbとの間の電圧を変化させることにより、容量値を変化させることができる。また、p⁺拡散領域P7及びP8に接地電位を印加することにより、p⁺拡散領域P7及びP8がNウエルNW2内の正孔を吸収し、バラクタ素子の容量値を安定化することができる。本実施形態における上記以外の動作及び効果は、前述の第1の実施形態と同様である。

【0042】

【発明の効果】

以上詳述したように、本発明によれば、MOS型バラクタ素子のゲート絶縁膜をMOS型トランジスタのゲート絶縁膜よりも薄くしているため、MOS型バラクタ素子の容量の最大値を大きくすることができ、これにより、バラクタ素子の単位面積あたりの容量値を増加させることができると共に、このMOS型バラクタ素子の容量可変範囲を広くすることができる。

【図面の簡単な説明】

【図1】

(a)乃至(c)は、本発明の第1の実施形態に係る半導体集積回路装置を示す断面図であり、(a)はMOS型のNチャネルトランジスタを示し、(b)はMOS型のPチャネルトランジスタを示し、(c)はMOS型バラクタ素子を示す。

【図2】

横軸にゲート端子とウエル端子との間の電圧をとり、縦軸にゲート端子とウエル端子との間の容量をとって、本実施形態におけるMOS型バラクタ素子の高周波C-V特性を示すグラフ図である。

【図3】

本発明の第2の実施形態に係る半導体集積回路装置のMOS型バラクタ素子を示す断面図である。

【図4】

(a)乃至(c)は、従来のMOS型バラクタ素子を備えた半導体集積回路装置を示す断面図であり、(a)はMOS型のNチャネルトランジスタを示し、(b)はMOS型のPチャネルトランジスタを示し、(c)はMOS型バラクタ素子を示す。

【図5】

横軸にゲート端子とウエル端子との間の電圧をとり、縦軸にゲート端子とウエル端子との間の容量をとって、Nウエルの不純物濃度を変化させたときのMOS型バラクタ素子の高周波C-V特性を示すグラフ図である。

【符号の説明】

1 ; Nチャネルトランジスタ

2 ; Pチャネルトランジスタ

3、13、23 ; MOS型バラクタ素子

4、14 ; ゲート絶縁膜

5 ; ゲート電極

20、22 ; 破線

21 ; 実線

24、25 ; 電圧範囲

P S u b ; P型基板

P W 1 ; Pウエル

N W 1、N W 2 ; Nウエル

P 1 ~ P 9 ; p⁺拡散領域

N 1 ~ N 6 ; n⁺拡散領域

V s 1、V s 2 ; ソース端子

V d 1、V d 2 ; ドレイン端子

V g 1 ~ V g 3 ; ゲート端子

V b ; ウエル端子

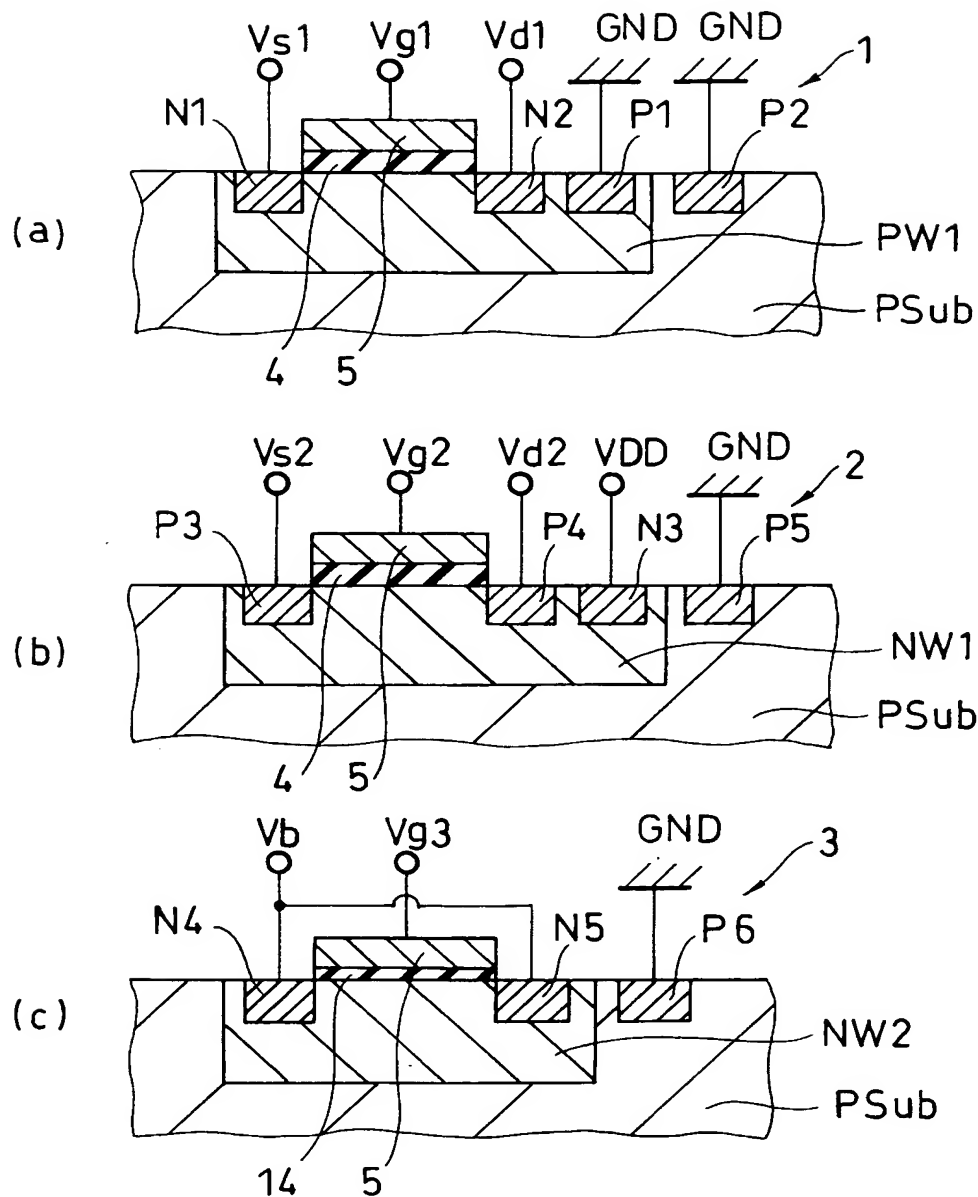
V D D ; 電源電位配線

G N D ; 接地電位配線

【書類名】

図面

【図 1】



1 ; Nチャネルトランジスタ

2 ; Pチャネルトランジスタ

3 : MOS型バラクタ素子 4 ; ゲート絶縁膜 14 ; ゲート絶縁膜

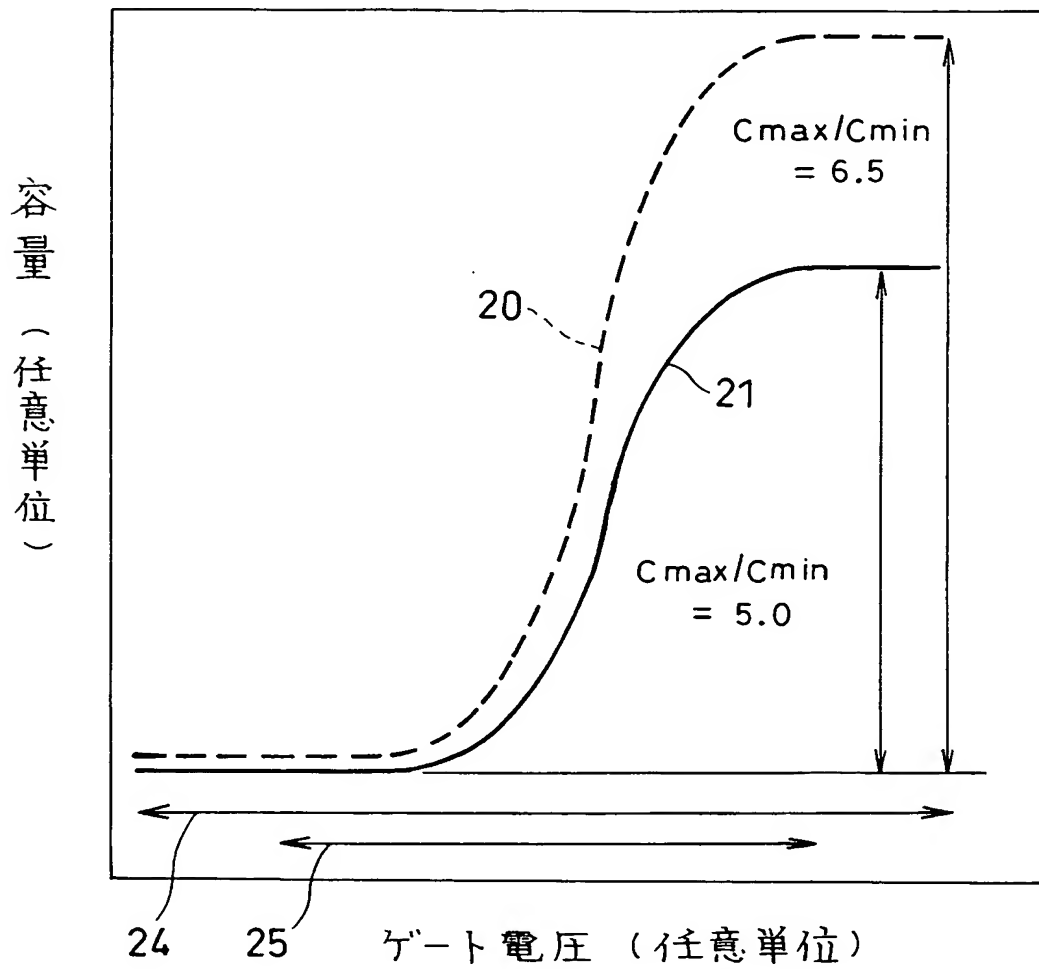
5 ; ゲート電極

PSub ; P型基板

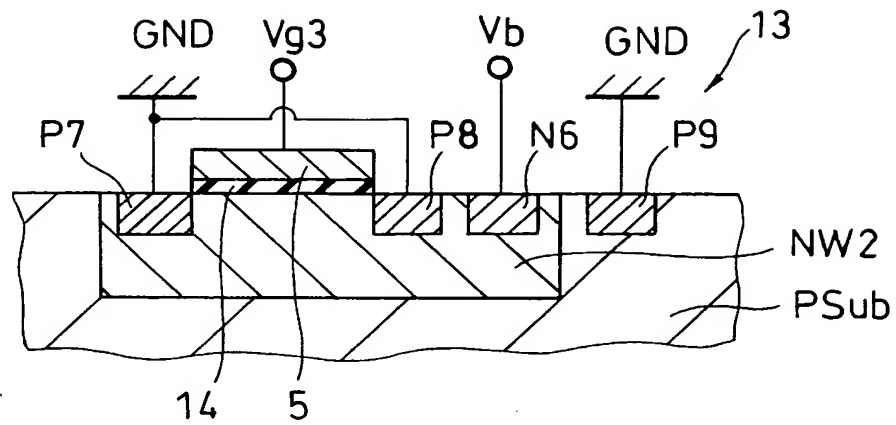
PW1 ; Pウェル

NW1、NW2 : Nウェル

【図 2】



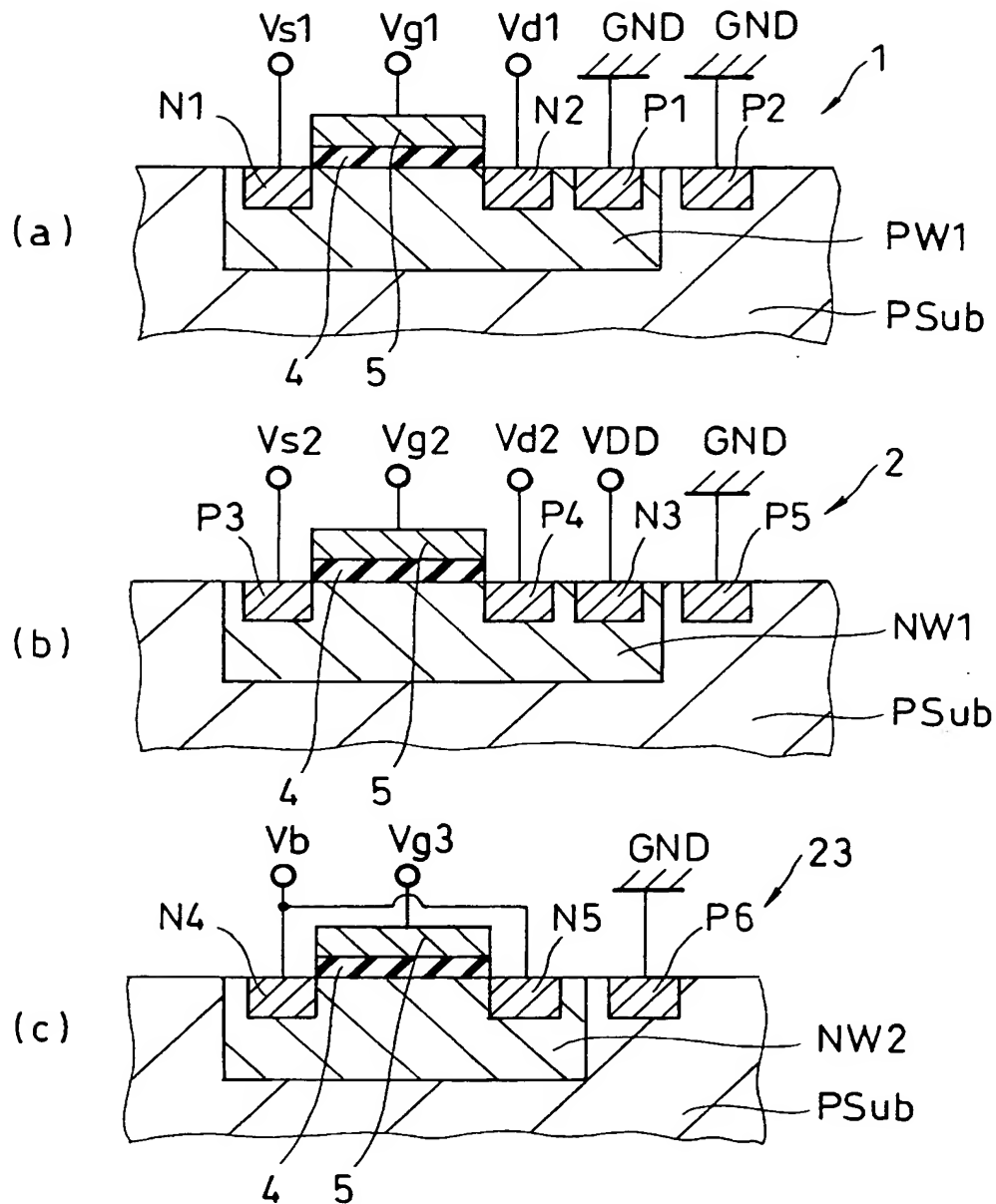
【図 3】



13 ; MOS型バラクタ素子

P7 ~ P9 ; p⁺ 拡散領域N6 ; n⁺ 拡散領域

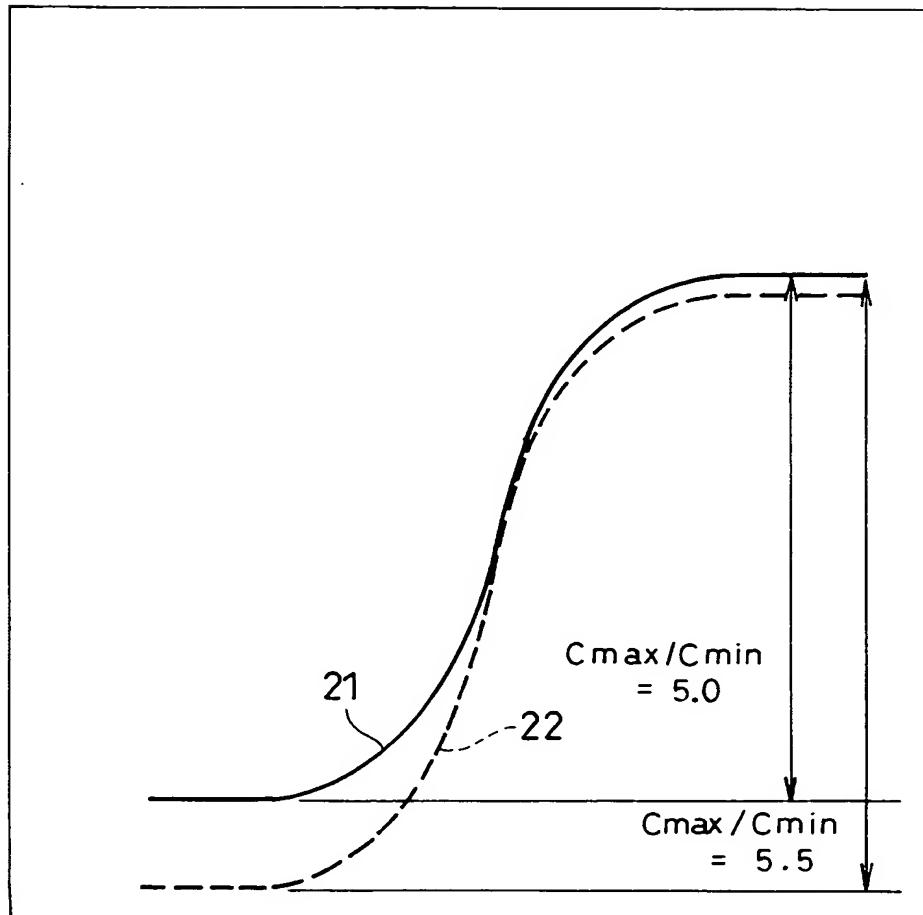
【図 4】



23; MOS型バラクタ素子

【図 5】

容量
(任意単位)



ゲート電圧 (任意単位)

【書類名】 要約書

【要約】

【課題】 可変容量範囲が広く、単位面積当たりの容量値が大きいMOS型バラクタ素子を備えた半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置において、P型基板P S u bの表面にNチャネルトランジスタ1、Pチャネルトランジスタ2及びMOS型バラクタ素子3を設ける。そして、MOS型バラクタ素子3のゲート絶縁膜14を、Nチャネルトランジスタ1及びPチャネルトランジスタ2のゲート絶縁膜4よりも薄くする。また、MOS型バラクタ素子3のウェル端子V bとゲート端子V gとの間に印加するゲート電圧の最大値を、Nチャネルトランジスタ1及びPチャネルトランジスタ2に印加するゲート電圧の最大値よりも低くする。

【選択図】 図1

認定・付加情報

| | |
|---------|----------------|
| 特許出願の番号 | 特願 2003-106118 |
| 受付番号 | 50300593130 |
| 書類名 | 特許願 |
| 担当官 | 第七担当上席 0096 |
| 作成日 | 平成15年 4月25日 |

< 認定情報・付加情報 >

| | |
|-------|-------------|
| 【提出日】 | 平成15年 4月10日 |
|-------|-------------|

次頁無

特願 2 0 0 3 - 1 0 6 1 1 8

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

| | |
|----------|--------------------------|
| 1. 変更年月日 | 2 0 0 2 年 1 1 月 1 日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市中原区下沼部 1 7 5 3 番地 |
| 氏 名 | N E C エレクトロニクス株式会社 |